

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10901994

Basic Patent (No,Kind,Date): JP 4349619 A2 921204 <No. of Patents: 001>

MANUFACTURE OF SINGLE CRYSTAL SEMICONDUCTOR FILM (English)

Patent Assignee: NIPPON DENSO CO

Author (Inventor): HASEBE YUJI; SAKAKIBARA NOBUYOSHI; TOMINAGA TAKAYUKI

IPC: *H01L-021/20; H01L-021/306; H01L-027/12

CA Abstract No: 118(24)245219M

Derwent WPI Acc No: C 93-022500

JAPIO Reference No: 170213E000002

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4349619	A2	921204	JP 91123364	A	910528 (BASIC)

Priority Data (No,Kind,Date):

JP 91123364 A 910528

CLIPPEDIMAGE= JP404349619A

PAT-NO: JP404349619A

DOCUMENT-IDENTIFIER: JP 04349619 A

TITLE: MANUFACTURE OF SINGLE CRYSTAL SEMICONDUCTOR FILM

PUBN-DATE: December 4, 1992

INVENTOR-INFORMATION:

NAME

HASEBE, YUJI

SAKAKIBARA, NOBUYOSHI

TOMINAGA, TAKAYUKI

ASSIGNEE-INFORMATION:

NAME

NIPPONDENSO CO LTD

COUNTRY

N/A

APPL-NO: JP03123364

APPL-DATE: May 28, 1991

INT-CL (IPC): H01L021/20; H01L021/306; H01L027/12

US-CL-CURRENT: 438/509, 438/FOR. 243

ABSTRACT:

PURPOSE: To improve the uniformity of a single crystal SOI film.

CONSTITUTION: A polycrystalline silicon film 2 is formed on an amorphous insulating substrate 1 and is patterned into an island substrate. Thereafter, fine crystal nuclei 4 oriented in the <111> axis are formed by anisotropic etching. After an amorphous silicon film 5 is deposited, recrystallization is performed with the fine crystal nuclei 4 as seeds through annealing to yield single crystal silicon islands 6. Accordingly, the single crystal silicon island 6 is specified in its size by the amorphous silicon film 5 and is uniquely defined in its axis directivity by the fine crystal nucleus 4. Thus, the uniformity is improved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-349619

(43) 公開日 平成4年(1992)12月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
21/306	G	7342-4M		
27/12	R	8728-4M		

審査請求 未請求 請求項の数 3 (全 3 頁)

(21) 出願番号 特願平3-123364

(22) 出願日 平成3年(1991)5月28日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 長谷部 裕治

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 棚原 伸義

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 富永 隆行

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

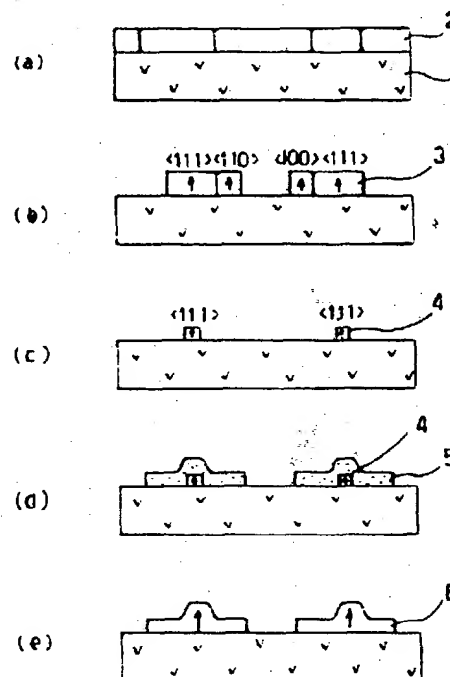
(74) 代理人 弁理士 碓氷 裕彦

(54) 【発明の名称】 単結晶半導体膜の製造方法

(57) 【要約】

【目的】 単結晶SOI膜の一様性を向上する。

【構成】 非晶質絶縁体基板1上に多結晶シリコン膜2を形成し、ハターニングにより島状構造とする。その後、異方性エッチングにより〈111〉軸配向の微結晶核4を形成する。そして、非晶質シリコン膜5を堆積させたのち、アニール処理により微結晶核4をシードとして再結晶化を行い、単結晶シリコン島6を得る。従って、単結晶シリコン島6はそのサイズが非晶質シリコン膜5によってきまり、また軸配向性は微結晶核4によって一義的に決まることとなり、一様性が向上される。



【特許請求の範囲】

【請求項1】 非晶質絶縁体基板上に多結晶半導体膜を形成し、この多結晶半導体膜を異方性エッチングして特定の結晶面が基板と平行になる半導体結晶核のみを選択的に形成する結晶核形成工程と、前記非晶質絶縁体基板表面全体に前記半導体結晶核を介して非晶質半導体膜を形成する半導体材料堆積工程と、前記半導体結晶核をシードとして前記非晶質半導体膜をアニールすることで単結晶化させる再結晶化工程とを含むことを特徴とする単結晶半導体膜の製造方法。

【請求項2】 前記半導体はシリコンであり、特定の結晶面が(111)面であることを特徴とする請求項1記載の単結晶半導体膜の製造方法。

【請求項3】 前記多結晶半導体膜が非晶質シリコン膜を低温アニールによる固相成長で結晶化させた多結晶シリコン膜であることを特徴とする請求項1又は2に記載の単結晶半導体膜の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はSOIデバイスの形成に採用して好適な単結晶半導体膜の製造方法に関する。

【0002】

【従来の技術】 素子の高集積化やディスプレイ駆動素子の形成等絶縁物上に半導体デバイスを形成するいわゆるSOI技術において高機能なデバイスを形成するためには、一般的に半導体デバイスを構成する半導体膜の高品質化が重要な役割をはたす。

【0003】 単結晶膜を得るのに下地絶縁物の一部に開口部をもうけて単結晶表面を露出させ、これをシード面として絶縁物上に形成した多結晶あるいは非晶質の非単結晶半導体を再結晶化する手法が知られているが、この場合シード面とする下地基板に単結晶を用いるという制約をうけ、また、シード面を有することから完全なSOI構造とはならない欠点がある。

【0004】 そこで、絶縁物上に単結晶シード面を用いずに単結晶膜を得る方法（たとえば特開昭63-182810号公報参照）として、任意の基板上または非晶質半導体膜中に結晶核が選択的に形成される微小サイトを設け、気相成長法または固相成長法でサイトに単一の結晶核を形成し、その核をシードとして同一成長方法で単結晶膜を形成するようにして核形成を積極的に制御するようにした方法が知られている。

【0005】

【発明が解決しようとする課題】 しかしながら、この技術の問題点としては次の2点が考えられる。

(1) 核発生の潜伏時間がサイトごとにばらつく点。

【0006】 (2) 核の配向性を厳密に制御することが不可能である点。

これらの原因により形成された単結晶膜はその軸配向性やサイズがばらつくことが予想される。

【0007】 本発明は、これら問題に鑑み、核形成の潜伏時間の影響を除去し、かつ核の配向性を一義的に決定することができ、その結果、結晶の軸配向性やサイズを一樣にすることができる単結晶半導体膜の製造方法を提供することを目的とする。

【0008】

【発明の概要】 上記目的を達成するため、本発明による単結晶半導体膜の製造方法は、核の一樣性を向上することに注目し、非晶質絶縁体基板上に多結晶半導体膜を形成し、この多結晶半導体膜を異方性エッチングして特定の結晶面が基板と平行になる半導体結晶核のみを選択的に形成する結晶核形成工程と、前記非晶質絶縁体基板表面全体に前記半導体結晶核を介して非晶質半導体膜を形成する半導体材料堆積工程と、前記半導体結晶核をシードとして前記非晶質半導体膜をアニールすることで単結晶化させる再結晶化工程とを含むことを特徴としている。

【0009】 すなわち、本発明では、結晶核形成工程において半導体膜の膜質決定の元となる結晶核の段階で配向軸が一樣に制御される。従って、優れた軸配向性を有する単結晶膜がシードウェハ無しで形成される。

【0010】

【実施例】 以下、本発明を図に示す実施例にもとづいて詳細に説明する。図1は本発明第1実施例を採用して形成する単結晶SOI膜のその各製造工程途中における断面図を示すものである。

【0011】 まず、SiO₂、Si₃N₄、あるいはAl₂O₃等の非晶質絶縁体基板1上にアモルファスシリコン膜を2000Å程度堆積し、600℃で長時間低温アニールすることで固相成長させ、粒径1〜2μm程度の多結晶シリコン膜2を形成する（図1(a)参照）。

【0012】 次に、この多結晶シリコン膜2を所定の間隔でパターニングし、複数のシリコンアイランド3を形成する（図1(b)参照）。このとき、各シリコンアイランド3は任意の配向軸をもつ結晶粒を有することになる。なお、このとき、パターン幅が多結晶シリコン膜2膜厚に対して大きく、また、結晶粒径（1〜2μm程度）より小さくなるように設定するとよい。

【0013】 次に、KOH水溶液やNH₄OH水溶液を用いた湿式異方性エッチングを行う。この湿式異方性エッチングでは、(111)面のエッチング速度が他の面に比べて2桁程度小さいため、(111)面に平行な微結晶核4のみが選択的に残されることになる（図1(c)参照）。

【0014】 次に、結晶核表面上の自然酸化膜をHF処理やプラズマ照射処理で除去した後、アモルファスもしくは多結晶状態よりアモルファス化した非晶質シリコン膜5をPCVD法やLPCVD法や電子ビーム蒸着法などで堆積し、所望のSOI膜に於いてパターニングする（図1(d)参照）。

【0015】その後、600℃のアニール処理を行い、(111)軸配向の微結晶核4をシードとして非晶質膜5を再結晶化させ、単結晶シリコン島6を得る(図1(e)参照)。

【0016】そして、上述の工程を経て形成した単結晶SOI膜に、所望の半導体デバイス(例えばTFT素子)を通常の素子形成工程に従って形成すればよい。なお、上述の図1(d)に示す工程において非晶質シリコン膜5をECRCVD法を用いて堆積すればエッチングと堆積とを同時に行うことができ、シード部すなわち微結晶核4による凸部を平坦化できる。

【0017】このように上記製造工程に従ってSOI膜を形成すれば、半導体微結晶核を固相成長前にあらかじめ形成するようにしているため、核発生の潜伏時間は零となり、核発生潜伏時間による単結晶のサイズのばらつきは除去される。また、本実施例で形成される半導体膜のサイズは非単結晶シリコン膜5のパターンサイズで決定されるため一様性が確保される。

【0018】さらに、異方性エッチングで特定の配向性を有する核のみを残すため、形成された単結晶膜は軸配向はあるものの軸配向性は一義的に決まり、核の一様性が改善され、これを用いて例えばMOSデバイスを形成すればSiO₂/Si界面単位密度のばらつきが低減でき、トランジスタのしきい値電圧V_t等が安定する。

【0019】なお、上述の第1実施例では、湿式異方性エッチングにより微結晶核4を形成するものであったが次のようにしてもよい。すなわち、上記第1実施例と同様に非晶質絶縁体基板1上に多結晶シリコン膜2を所定の間隔でパターニングして島状のシリコンアイランド3にする。

【0020】そして、次にCCl₄+O₂ガスプラズマやイオンビームなどを用いて異方性ドライエッチング処理し、(111)面が膜面に平行となるシリコン微結晶核4のみを選択的に残す。

【0021】以降、上記第1実施例と同様のプロセスにより微結晶核4をシードとして単結晶シリコン島6を形成するようにすればよい。本工程によっても、上記第1実施例と同様の効果が奏される。

【0022】

【発明の効果】以上詳述した様に本発明によれば下記の効果が奏される。すなわち、核を再結晶化前にあらかじめ形成するようにしているため、核発生の潜伏時間は零となり、核発生潜伏時間による単結晶のサイズのばらつきは除去される。また、本発明で形成される半導体膜のサイズは非晶質半導体膜のパターン幅で決定されるため一様性が確保される。

【0023】また、異方性エッチングで特定の配向性を有する核のみを残すため、形成された単結晶島の軸配向性は一義的に決まり、核の一様性が改善される。

【図面の簡単な説明】

【図1】図(a)～(e)は本発明第1実施例による単結晶SOI膜の製造工程を説明するための製造工程順断面構造図である。

【符号の説明】

- 1 非晶質絶縁体基板
- 2 多結晶シリコン膜
- 3 シリコンアイランド
- 4 半導体微結晶核
- 5 非晶質シリコン膜
- 6 単結晶シリコン島

【図1】

